

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Citation 3

1. Japanese Patent Application No.: 105503/1980  
Application Date: July 31, 1980
2. Japanese Patent Disclosure No.: 33471/1982  
Disclosure Date: February 23, 1982
3. Inventor: Haruhiko KADOTA; Kawasaki-city, Japan
4. Applicant: FUJITSU Kabushiki Kaisha; Kawasaki-city, Japan
5. Title: A Memory Access Controlling Method for Multi Processing System

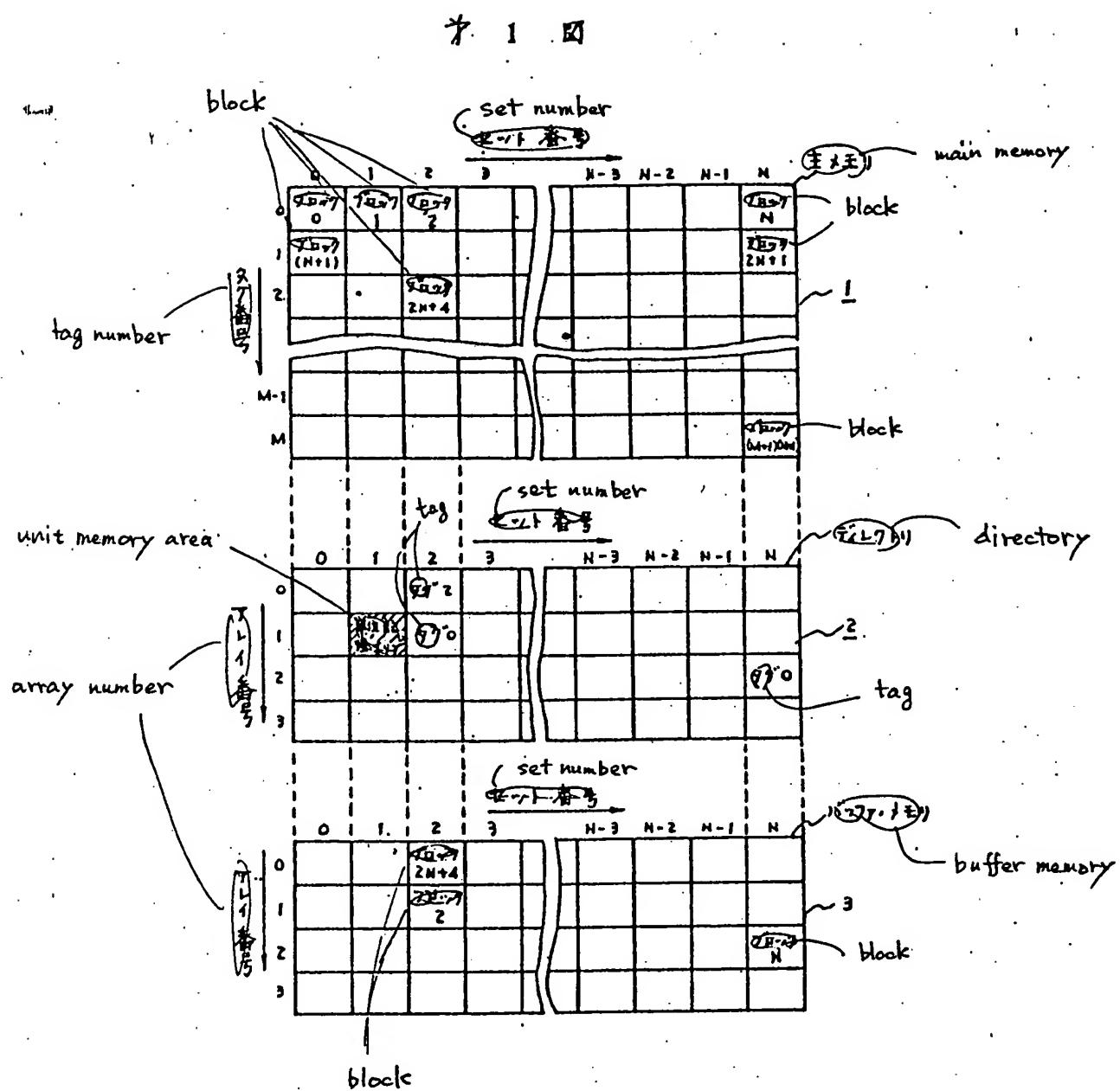
A multi processing system includes a plurality of CPUs (5-0 to 5-8) each of which has a buffer memory (3-0 to 3-8) and a directory (2-0 to 2-8), and a copy directory (6-0 to 6-8) corresponding to each of CPUs (5-0 to 5-8). The copy directory concerning the other CPU is referred at accessing to a common main memory (1). Based on the referred result, the access to the memory is determined whether it is received or not.

The comparator (11, 11-0 to 11-1) is provided for comparing and processing an access request block information which is at the memory access requirement from the own CPU based on the lock register (13) and the contents of the lock register. The lock register is set the lock information corresponding to the address on the main memory to be area-locked corresponding to each of copy directories. The memory access requirement from the other CPU is determined whether it is received or not based on the compared result of the comparator.

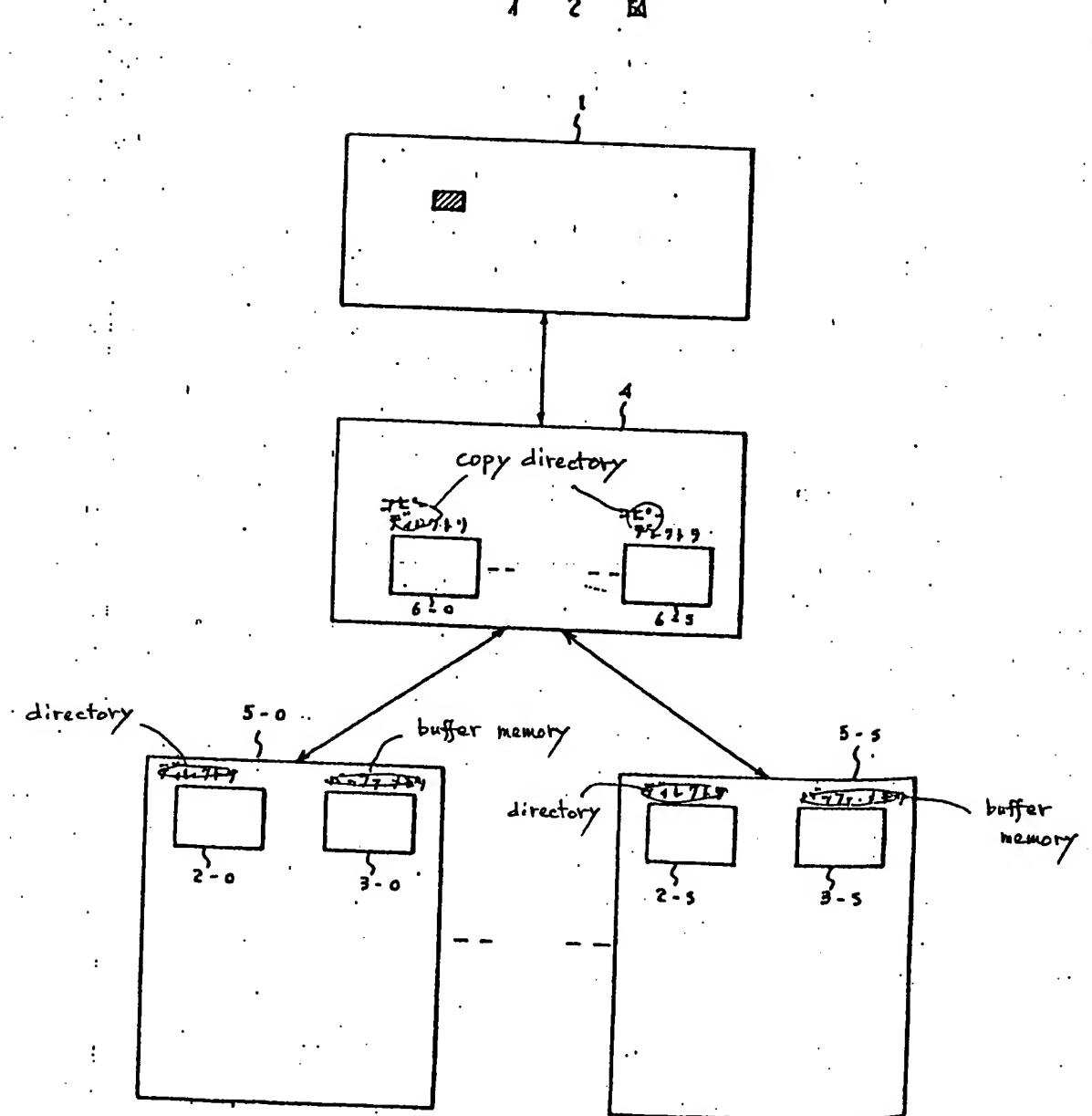
Each of reference numbers is as follows:

1: Common Main Memory	2: Directory
3: Buffer Memory	3-0 to 3-8: Buffer Memory
4: Memory Control Unit	5-0 to 5-8: CPU
6-0 to 6-8: Copy Directory	7: Copy Directory
7-0 to 7-3: Unit Copy Directory	
8: Other Address Register	9: Own Address Register
11: Comparator	11-0, 11-1: Comparator

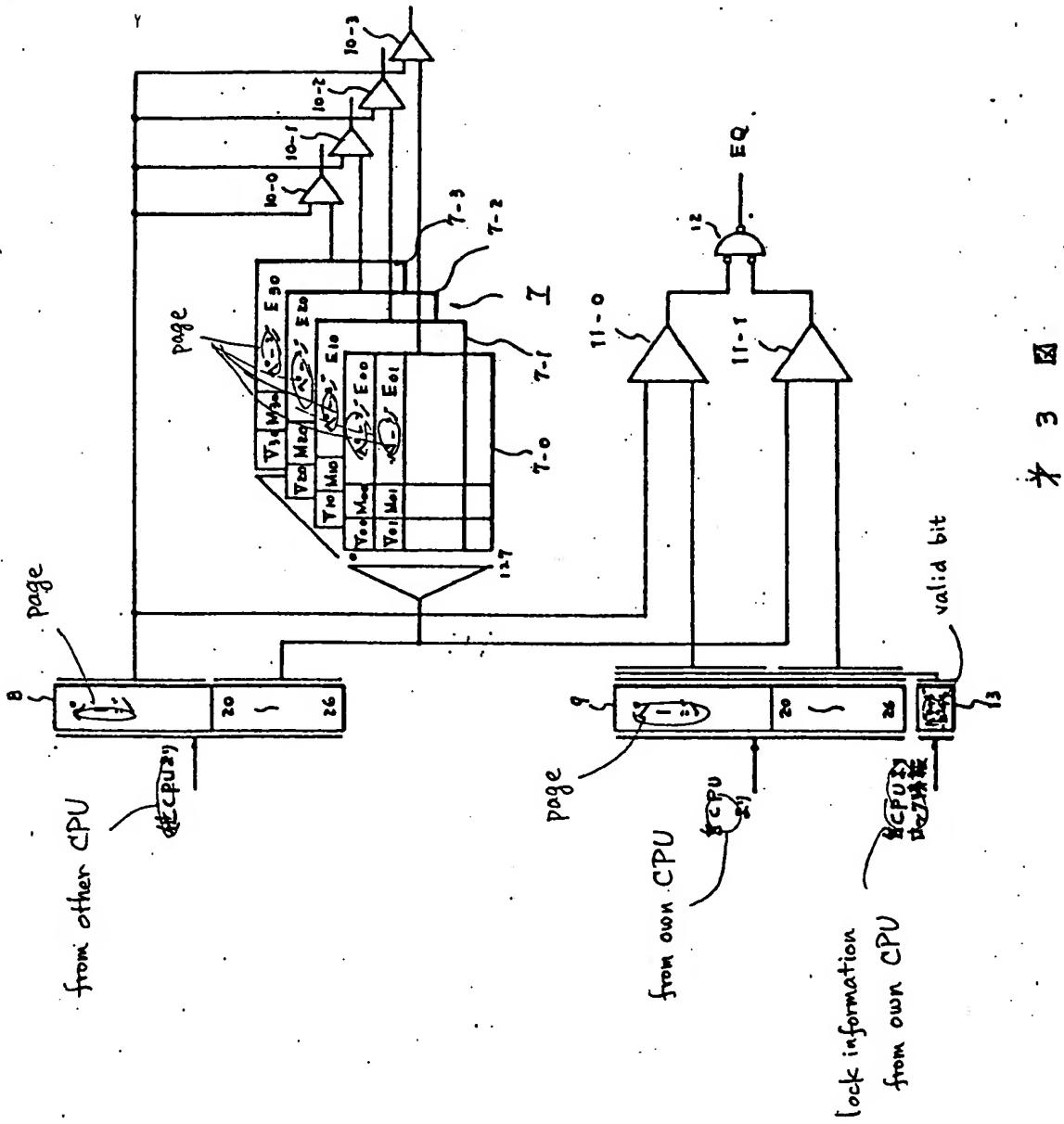
CITATION 3 Fig. 1



CITATION 3 Fig. 2



CITATION 3 Fig. 3



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-33471

⑫ Int. Cl.<sup>3</sup>  
G 11 C 9/06  
G 06 F 13/00  
15/16

識別記号  
7056-5B  
7361-5B  
7165-5B

⑬ 公開 昭和57年(1982)2月23日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑭ マルチプロセッサシステムのメモリアクセス制御方式

川崎市中原区上小田中1015番地  
富士通株式会社内

⑮ 特願 昭55-105503

⑯ 出願人 富士通株式会社

⑰ 出願 昭55(1980)7月31日

川崎市中原区上小田中1015番地

⑱ 発明者 角田治彦

⑲ 復代理人 弁理士 山谷皓榮

明細書

1. 発明の名称

マルチプロセッサシステムの  
メモリアクセス制御方式

2. 特許請求の範囲

バッファ・メモリとディレクトリとを各装置毎に有する複数台のプロセッサおよび各プロセッサに対応するコピー・ディレクトリをそなえ、共通主メモリへのアクセスを行なう際他のプロセッサに関するコピー・ディレクトリを参照し、参照結果にもとづいて当該メモリ・アクセスを許否決定するマルチプロセッサシステムにおいて、各コピー・ディレクトリに対応して、エリア・ロックすべき主メモリ上のアドレスに対応するロック情報をセットされるロック・レジスタおよび該ロック・レジスタの内容にもとづいて自己のプロセッサからのメモリ・アクセス要求におけるアクセス要求ブロック情報と他のプロセッサからのメモリ・

アクセス要求におけるアクセス要求ブロック情報を比較処理する比較回路をもつけ、該比較回路による比較結果にもとづいて他のプロセッサからのメモリ・アクセス要求の許否を決定するよう成了したことを特徴とするマルチプロセッサシステムのメモリアクセス制御方式。

3. 発明の詳細な説明

本発明はマルチプロセッサ・システムのメモリ・アクセス制御方式に関するもので、特にバッファ・メモリ方式を採用しつつ共通主メモリへのアクセスを行なうマルチプロセッサ・システムにおいて、バッファ・メモリ上のロックすべきエリアをブロック単位に限定するようにし共通主メモリに対して複数のアクセス要求が競合する如き場合におけるアクセス待ち時間を短縮することができるようとしたマルチプロセッサ・システムのメモリ・アクセス制御方式に関するものである。

周知の如く、メモリ・アクセスを高速に行なう処理方式の一つとしてバッファ・メモリ方式があ

り、セット・アソシアティブ方式をとるバッファ。  
 メモリ方式の概念構成は一般に第1図に図示する如きものである。第1図において、1は主メモリ、2はディレクトリ、3はバッファ・メモリを表わしている。主メモリ1は例えば $(M+1) \times (N+1)$ 個の単位データ・ブロックに分割されている。バッファ・メモリ3は主メモリ1上の全単位データ・ブロック0ないし $[(M+1) \times (N+1)]$ のうち選択された単位データ・ブロックが格納される。この場合、選択された単位データ・ブロックは当該単位データ・ブロックが属する主メモリ2上のセット番号と同一セット番号をもつバッファ・メモリ3上の記憶領域内であつていずれかのアレイ番号に属する番地に格納される。ディレクトリ2は図示する如くバッファ・メモリ3と同一の論理構成をとり、バッファ・メモリ3上に格納された単位データ・ブロックのタグ・アドレス情報(主メモリ1のタグ番号に対応する。)をバッファ・メモリ3と同一の番地に格納する。メモリ・アクセスは次のようにして行なわれる。アクセス

ス先のアドレス情報によりデイレクトリ2上の1  
当セット 号に属する例えば4個の単位記憶エ  
リア内のタグ。アドレス情報を同時に読出すと共に  
読出されたタグ。アドレス情報を上記アクセス・  
アドレスのタグ。アドレス情報を比較する。い  
れか1つが比較一致である場合、該一致がとら  
れたデイレクトリ2単位記憶エリアに対応するバ  
ッファ。メモリ3単位記憶エリア内の格納情報即  
単位データ・ブロックが読出され演算処理が行  
われる。一方、すべて比較不一致である場合、  
バッファ。メモリ3上に所望のデータが存在して  
ないと判断され、主メモリ1をアクセスし所望  
データを読出す。そして該読出データを用いて  
算処理を行なうと共に該読出データをバッファ。  
メモリ3上の同一セット番号に属する単位記憶  
エリアにブロック単位で転送する。

この種のバッファ。メモリ方式を複数台のアセツサ装置に適用したマルチプロセツサ。システムは例えば第2図に示す如き一成をとる。中、1は共通主メモリ、2-0ないし2-3は

メモリ、3-0ないし3-8は夫々ディレクトリ2-0ないし2-8に対応するバッファ。  
・メモリ、4はメモリ・コントロール・ユニット  
(以下MCUといふ。)、5-0ないし5-8は  
夫々プロセッサ(以下CPUといふ。)、6-0  
ないし6-8は夫々コピー・ディレクトリであり  
ディレクトリ2-0ないし2-8と同一の内容を  
一つものを夫々表わしている。

この種のマルチプロセッサ・システムは、一般に共通主メモリ1を複数のCPU5-0ないし5-8で共有することにもとづくデータの不一致を考慮して次のような制御が行なわれる。共通主メモリ1上の同一の番地に対して複数のCPU5-0ないし5-8からのアクセス要求が競合すると、例えば予め定めた優先順位にもとづいて優先権の最も高い（例えば最先にアクセスした）CPU5-0ないし5-8の要求のみを許可する。許可されたCPU5-0ないし5-8は当該アクセス番地上のデータをブロック単位で共通主メモリ1上から既出し、該既出しだデータは自己のバッファ。

メモリ 3-0 ないし 3-8 は転送し格納され、データ処理に使用される。この間、メモリ・アクセスが許可されなかつた他の CPU 5-0 ないし 8 は待機状態に維持され少なくとも命令の完了するまでメモリ・アクセスを許可され、換言すれば許可された CPU 5-0 ないし 5 のバックアラーム。メモリ 3-0 ないし 3-8 の全は他の CPU 5-0 ないし 5-8 から見えない即ちロック状態にされる。このため、例えの CPU 5-0 ないし 5-8 からのコピー・レクトリ参照要求が上記の如き転送ブロックデータに対応するものであつてもメモリ・アクセスが禁止されることとなる。

本発明は上記の点を解決することを目的と  
本来ロックすべきブロック領域のみをロック  
の記憶領域に対する他のCPUからのメモリ  
アクセス要求については当該アクセスを許可す  
るとによりシステム全体の平均アクセス待ち時  
短縮化できるようにすることを目的としてい  
そしてそのため本発明のマルチプロセッサ

であり各CPU5-0ないし5-8に1対1に対応するものを示している。図中、7はコピー・ディレクトリであり第2回図示の各コピー・ディレクトリ5-0ないし5-8に対応するもの、7-1ないし7-3は同一アレイ番号に属する単位コピー・ディレクトリ、8は他のCPU5-0ないし5-8からの命令アドレス情報がセットされる他のアドレス・レジスタ、9は自己のCPU5-0ないし5-8からの命令アドレス情報がセットされる自アドレス・レジスタ、10-0ないし10-3は夫々比較回路、11-0および11-1は夫々比較回路、12は否定入力付 NAND・ゲート、13はロック・レジスタを夫々表わしている。他のアドレス・レジスタ8には他のCPU5-0ないし5-8からメモリ・アクセス要求が発生した場合におけるアクセス・アドレス情報がセットされる。自アドレス・レジスタ9には自己CPU5-0ないし5-8の1つからメモリ・アクセス要求が発生した場合におけるアクセス・アドレス情報がセットされる。ロック・レジスタ13には自

のメモリアクセス制御方式は、バックア・メモリとディレクトリとを各装置毎に有する複数台のプロセッサおよび各プロセッサに對応するコピー・ディレクトリをそなえ、共通主メモリへのアクセスを行なう他のプロセッサに関するコピー・ディレクトリを参照し参照結果にもとづいて当該メモリアクセスを許否決定するマルチプロセッサシステムにおいて、各コピー・ディレクトリに對応して、エリア・ロックすべき主メモリ上のアドレスに對応するロック情報がセットされるロック・レジスタおよび該ロック・レジスタの内容にもとづいて自己のプロセッサからのメモリ・アクセス要求におけるアクセス要求アドレス情報と他のプロセッサからのメモリ・アクセス要求におけるアクセス要求プロック情報とを比較処理する比較回路をもつけ、該比較回路による比較結果にもとづいて他のプロセッサからのメモリアクセス要求の許否を決定するよう構成したことを特徴としている。以下第3図を参照しつつ本発明を説明する。

第3図は本発明の一実施例における主要部構成

アドレス・レジスタ9にセットされるアクセス・アドレス情報に對応するロック情報がセットされる。ここでロック情報とは当該アクセス・アドレス情報がロックされているか否かを指示する情報と考えてよい。比較回路11-0は他のアドレス・レジスタ8内のタグ・アドレス情報と自アドレス・レジスタ9内のタグ・アドレス情報を比較処理し、一方他の比較回路11-1は他のアドレス・レジスタ8内のセット・アドレス情報と自アドレス・レジスタ9内のセット・アドレス情報を比較処理する。即ち比較回路11-0および他の比較回路11-1により、自己のCPU5-0ないし5-8の1つからのメモリ・アクセス要求におけるアクセス要求プロックと他のCPU5-0ないし5-8からのメモリ・アクセス要求におけるアクセス要求プロックとの一致・不一致が検出される。この比較処理に當つて、ロック・レジスタ13の内容が例えば論理「1」の場合は、上述した如き比較処理が有効なものとされ、自己のCPU5-0ないし5-8の1つと他のCPU5-0な

いし5-8がともに同一プロックをアクセスする場合には比較回路11-0および他の比較回路11-1からの各比較一致出力により否定入力付 NAND・ゲート12の出力は論理「0」となり、一方異プロックをアクセスする場合には否定入力付 NAND・ゲート12の出力は論理「1」となる。また上記比較処理に當つて、ロック・レジスタ13の内容が論理「0」の場合には、同一プロックに對するアクセスおよび異プロックに対するアクセスを問わず、比較回路11-0および他の比較回路11-1による比較処理は無効化され否定入力付 NAND・ゲート12の出力は論理「1」とされる。否定入力付 NAND・ゲート12の出力は他のCPU5-0ないし5-8に入力され、他のCPU5-0ないし5-8は当該入力信号にもとづいてアクセスの許否が決定される。

このように自己のCPU5-0ないし5-8からのメモリ・アクセス要求と他のCPU5-0ないし5-8からのメモリ・アクセス要求とが競合しかつロック指示された自己のアクセス要求ブ

## 【図面の簡単な説明】

データと他のアクセス要求ブロックとが同一である場合に限り、他のCPU 5-0ないし5-8はメモリ・アクセスが禁止され、その他の場合にはメモリ・アクセスが許可される。一方自己のCPU 5-0ないし5-8からのメモリ・アクセス要求はロック情報の内容を問わず自由に行なうことが許される。なおコピー・ダイレクトリと他アドレス・レジスタ9と比較回路11-0ないし11-3とで構成されるシステムは通常のコピー・ダイレクトリ参照処理と同様の処理動作が行なわれる。

以上説明した如く、本発明はマルチプロセッサ・システムにおいて、通常のコピー・ダイレクトリ参照処理を利用して他のCPUからのメモリ・アクセス要求におけるアクセス要求ブロックがロックされているブロックであるか否かを判断し、該当する場合のみ当該メモリ・アクセス要求を許可しないようにした。このためメモリ・アクセス要求の許可率が増大し、システム全体としての平均アクセス待ち時間の短縮を実現することができる。

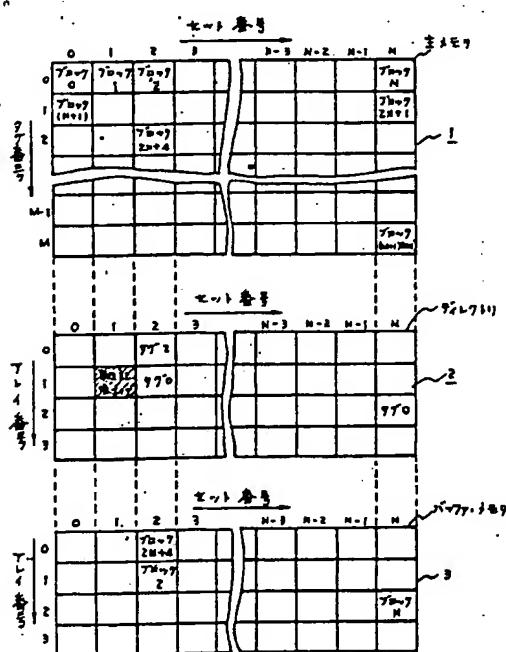
## 【図面の簡単な説明】

第1図は本発明に適用される一実施例バッファ・メモリ方式を概念的に表わした図、第2図は発明が適用されるマルチプロセッサ・システムの一実施例構成、第3図は本発明の一実施例による主要部構成を示す。

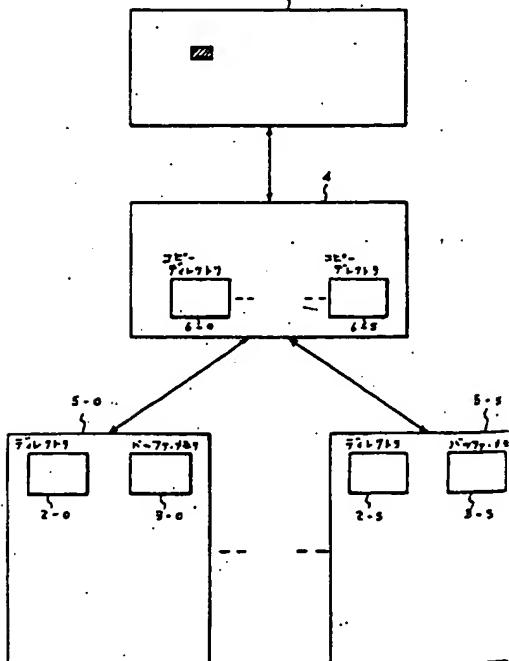
図中、1は共通主メモリ、2-0ないし2-8は夫タダイレクトリ、3-0ないし3-8は夫タバッファ・メモリ、5-0ないし5-8は夫タロセッサ、6-0ないし6-8は夫タコピー・イレクトリ、11-0および11-1は夫タ比較回路、13はロック・レジスタを夫タ表わす。

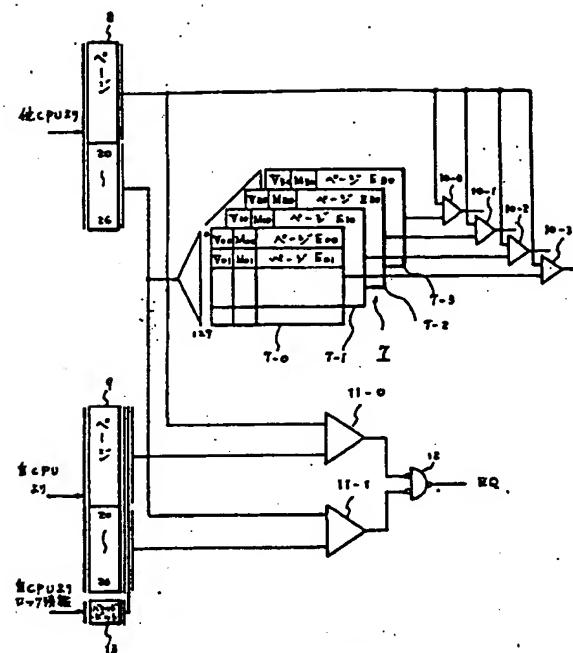
特許出願人 富士通株式会社  
復代理人弁理士 山谷皓

第1図



第2図





第3回